

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010047531 A
(43)Date of publication of application: 15.06.2001

(21)Application number: 1019990051802
(22)Date of filing: 22.11.1999

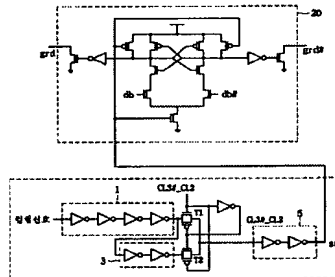
(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: KIM, YONG GI

(51)Int. Cl G11C 7/06

(54) DATA SENSE AMP DRIVING APPARATUS

(57) Abstract:

PURPOSE: A data sense amp driving apparatus is provided to consider a tradeoff point between a spare time for noise immunity and a data transmission speed, by controlling a data sensing time differently by differing a delay time of a data strobe signal according to an operation mode due to a CAS latency.



CONSTITUTION: The apparatus includes: a data strobe signal generation part controlling an output timing of a data strobe signal(stb) by adding a fixed delay by degrees according as a CAS latency information value(CL#3_CL2) is increased, after receiving the CAS information value generated by a read command signal and a mode register setting signal; and a data sensing part(20) sensing/amplifying data loaded on a data bus line by being enabled the data strobe signal transferred with a delay time controlled according to the CAS latency information value. The data strobe signal generation part includes: the first delay device(1) delaying a column signal generated by the read command signal and transferring it; the second delay device(3) delaying the column signal additionally by being connected to an output terminal of the first delay device; the first and the second switching device(T1,T2) which are connected to output terminals of the first and the second delay device respectively and transfer the output signals of the first and the second delay device selectively by being switched complementarily according to the CAS latency value; and a buffering device(5) transferring the data strobe signal to the data sensing part generated by buffering the column signal transferred through the delay devices.

COPYRIGHT 2001 KIPO

Legal Status
Date of final disposal of an application (20020226)
Patent registration number (1003372050000)

Date of registration (20020507)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
G11C 7/06

(45) 공고일자 2002년05월17일
(11) 등록번호 10-0337205
(24) 등록일자 2002년05월07일

(21) 출원번호	10-1999-0051802	(65) 공개번호	특2001-0047531
(22) 출원일자	1999년11월22일	(43) 공개일자	2001년06월15일
(73) 특허권자	주식회사 하이닉스반도체, 박종섭 대한민국 467-866 경기 이천시 부발읍 아미리 산136-1		
(72) 발명자	김용기 대한민국 467-860 경기도이천시대월면사동리현대전자사원아파트107-1302		
(74) 대리인	이정훈 이후동		
(77) 심사청구	심사관: 최정윤		
(54) 출원명	데이터 센스앰프 구동장치		

요약

본 발명은 싱크로너스 디램의 데이터 센스앰프 구동장치에 관한 것으로, 특히 리드 명령신호와 모드 레지스터 세팅신호에 의해 발생된 카스 레이턴시 정보값을 입력받아 그 정보값이 증가됨에 따라 일정 딜레이를 점진적으로 추가시켜 데이터 스트로브신호의 출력 타이밍을 조절하는 데이터 스트로브신호 발생부와, 상기 카스 레이턴시 정보값에 따라 조절된 딜레이시간을 갖고 전달되는 데이터 스트로브신호에 의해 인에이블 여부가 결정되어 데이터 버스트라인에 실린 데이터를 센스·증폭하는 데이터 센싱부를 구비하여 동작모드에 따라 데이터 스트로브신호의 지연시간을 차별화하여 센싱시간을 다르게 접근시키므로써, 노이즈 마진을 향상시키고 고주파수 동작시에도 안정된 데이터 센싱동작을 수행하도록 한 데이터 센스앰프 구동장치에 관한 것이다.

대표도

도5

명세서

도면의 간단한 설명

도 1 은 종래에 사용된 싱크로너스 디램에서의 데이터 리드경로를 도시한 블록 구성도

도 2 는 도 1 에 도시된 데이터 센스앰프 구동장치의 회로 구성도

도 3a 및 도 3b 는 도 1 에 도시된 싱크로너스 디램에서 카스 레이턴시가 각각 2와 3인 경우의 데이터 전달 타이밍도

도 4 는 본 발명에 따른 데이터 센스앰프 구동장치가 적용된 싱크로너스 디램에서의 데이터 리드경로를 도시한 블록 구성도

도 5 는 도 4 에 도시된 데이터 센스앰프 구동장치의 회로 구성도

< 도면의 주요부분에 대한 부호의 설명 >

1, 3: 딜레이 소자

5: 버퍼링 소자

10: 비트라인 센스앰프

20: 데이터 센스앰프

30, 35: 데이터 스트로브신호 발생기 40: 파이프 레지스터

100, 200: 데이터 센스앰프 구동장치 T1, T2: 스위칭 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 싱크로너스 디램의 데이터 센스앰프 구동장치에 관한 것으로, 보다 상세하게는 동작모드에 따라 데이터 스트로브신호의 지연시간을 차별화하여 센싱시간을 다르게 접근하도록 제어함으로써, 노이즈 마진을 향상시키고 고주파수 동작시에도 안정된 데이터 센싱동작을 수행하도록 한 데이터 센스앰프 구동장치에 관한 것이다.

일반적으로, 싱크로너스 계통의 디램은 읽기 명령을 입력받은 이후 몇번째 클럭에서 유효한 데이터를 출력시키느냐의 관점에 따라 그 동작양상이 달라진다. 이러한 동작특성을 규정하는 동작모드를 카스 레이턴시(CAS Latency) 또는 데이터 출력 레이턴시라 한다.

도 1 은 종래에 사용된 싱크로너스 디램에서의 데이터 리드경로를 도시한 블록 구성도로, 이하 동 도면을 참조하며 싱크로너스 디램의 일반 동작을 살펴보기로 한다.

싱크로너스 디램은 시스템에서 주어지는 클럭에 일치하여 명령 및 주소를 입력받고 또한 해당 클럭에 일치하여 데이터를 주고받는 동작특성을 갖는다. 따라서, 먼저 뱅크를 활성화시키는 명령(Bank_Lact)을 해당 뱅크 어드레스 및 그 뱅크의 로오 어드레스와 동일한 클럭에서 입력받게 되며, 이에 따라 해당 뱅크의 로오 어드레스가 가리키는 워드라인(WL)을 1개 혹은 그 이상 활성화시키게 된다.

여기서, 워드라인의 활성화란 메모리 셀 어레이 영역안에 1개의 워드라인에 소속된 일정 개수의 셀의 엔모스(T1) 게이트와 연결되어 있는 워드라인에 고전압이 인가되므로써, 셀에 저장되어 있는 데이터가 비트라인(BL, /BL)에 전기적으로 연결되는 과정을 의미한다.

이때, 비트라인(BL, /BL)에는 메모리 셀에서 전달해준 데이터의 상태에 따라 '로우' 또는 '하이'로 증폭되는데 이러한 동작을 수행하는 것이 각 메모리 블록에 접속된 비트라인 센스앰프(BL S/A: 10)이다. 상기한 비트라인 센스앰프(BL S/A)가 비트라인의 미세한 전위를 갖는 데이터를 완전히 증폭하게 되면 뱅크 액티브 동작이 완료되게 되며, 이에따라 싱크로너스 디램은 리드(Read) 또는 라이트(Write) 명령을 입력받은 준비를 하게 된다.

그런데, 싱크로너스 디램의 경우 리드명령이 인가되는 클럭으로부터 외부로 데이터가 출력되는 클럭까지 소요되는 잠재시간이 존재한다고 하는 특징이 있으며, 이를 카스 레이턴시(CAS Latency)라 한다.

이러한 특징은 디램의 데이터 출력 과정 중에 물리적으로 요구되는 최소 시간때문에 발생한다. 다시말해, 상기 리드명령이 디램의 컬럼 어드레스와 함께 컬럼 디코더로 입력되면 상기 컬럼 어드레스가 가리키는 컬럼 선택신호(Yi)가 프리 디코딩 및 최종 디코딩을 거쳐 1개 활성화되는데, 이러한 과정에 소요되는 최소한의 시간이 필요한 것이다.

상기 과정을 거쳐 컬럼 선택신호(Yi)가 활성화되면, 상기 비트라인 센스앰프(10)에서 증폭시킨 데이터가 데이터 버스라인(DB, /DB)으로 전달되는데, 상기 데이터 버스라인(DB, /DB)이 매우 큰 부하를 갖기 때문에 상기 데이터 버스라인(DB, /DB)으로 전달되는 데이터 신호는 다시 미세전위로 강하된다.

따라서, 상기 미세전위를 갖는 데이터 신호를 다시 증폭시켜야 되는데, 이러한 기능을 수행하는 것이 데이터 센스앰프(DB S/A: 20)이다.

도 2 는 도 1 에 도시된 데이터 센스앰프 구동장치(100)의 회로 구성도를 나타낸 것으로, 크게 데이터 센스앰프(20) 및 데이터 스트로브신호 발생기(30)로 이루어지는데, 상기 데이터 스트로브신호 발생기(30)는 리드 명령신호에 의해 발생된 컬럼신호를 설계자의 의도에 따라 일정시간 지연하여 발생시키기 위해 인버터 체인구조로 이루어지며, 상기 데이터 센스앰프(20)는 상기 데이터 스트로브신호 발생기(30)로부터 일정 지연시간을 갖고 발생되는 데이터 스트로브신호 발생기(data strobe: 이하 'stb'라 칭함)에 의해 그 인에이블 여부가 결정되며 양측 입력단으로 상호 보수전위의 두 입력신호(db, /db)가 입력되는 전류미러형의 차동 증폭기 구조로 이루어진다.

상기 전류미러형의 차동 증폭기로 이루어진 데이터 센스앰프의 세부구성 및 동작은 이미 공지된 사항이므로 자세한 설명은 생략하기로 한다.

상기 구성을 갖는 데이터 센스앰프(20)의 인에이블여부를 제어하는 신호가 데이터 스트로브(stb)신호인데, 이 데이터 스트로브신호(stb)는 동 도면의 하단부에 도시된 바와 같이 리드 명령신호에 의해 발생되는 컬럼신호가 일정 딜레이를 실현하는 인버터 체인구조의 데이터 스트로브신호 발생기(30)를 거쳐 반드시 상기 컬럼 선택신호(Yi)에 비해 일정시간 딜레이된 이후 인에이블되는데, 그 이유는 데이터 센스앰프(20)가 비트라인 센스앰프(10)로부터 데이터 버스라인(DB, /DB)으로 전달된 미세전위 신호가 증폭가능한 최소전위 레벨로 성장한 이후 동작이 가능하기 때문이다.

상기 과정을 거쳐 데이터 센스앰프가 미세전위 데이터신호(db, /db)를 증폭하게 되며, 이렇게 증폭된 데이터 신호(grd, /grd)는 후단의 파이프 레지스터(pipe register: 40)로 전달되어 최종적으로 데이터 출력준비를 하게 된다.

상기 파이프 레지스터(40)는 복수개로 구현되는데, 카스 레이턴시 3까지를 지원하기 위해서는 파이프 레지스터가 3개 준비되어야 하며, 리드 명령신호에 의해 발생한 데이터는 이곳 다수개의 파이프 레지스터(40)에 각각 저장되어 출력 개시신호를 기다리게 된다. 동 도면에서 Pcnt<0:2>신호가 상기 파이프 레지스터의 출력개시 신호가 된다.

도 3a 및 도 3b 는 도 1 에 도시된 싱크로너스 디램에서 카스 레이턴시가 각각 2와 3인 경우의 데이터 전달 타이밍도를 도시한 것으로, 첫번째 개시신호(pcnt<0>)는 카스 레이턴시에 의해 발생하는 클럭이 결정되어지기 때문에, 도 3a와 같이 카스 레이턴시가 2인 경우에는 리드 명령신호가 인가된 다음 클럭신호에서 발생되며, 도 3b와 같이 카스 레이턴시가 3인 경우에는 상기 리드 명령신호가 주어진 클럭으로부터 다음, 다음 클럭에서 만들어져 발생되게 된다.

동 도면을 통해 알 수 있듯이, 상기 데이터 출력 개시신호(Pcnt<0>)가 인에이블될 때 비로서 첫번째 데이터 신호(data1)가 출력되게 된다.

그런데, 데이터 센스앰프(20)로부터 증폭 데이터신호(grd, /grd)를 발생하기 위해 소요되는 시간은 디램 구조상 물리적으로 정해지는 한계가 존재하기 때문에, 저주파수 환경에서는 카스 레이턴시를 낮추는 것이 가능하지만, 고주파수 환경에서는 상기 카스 레이턴시를 높일 수 밖에 없게 된다. 이에따라, 고속의 데이터 출력 동작에 제한이 따르게 되는 문제가 발생한다.

또한, 임의의 특정 주파수에서 카스 레이턴시를 낮추기 위해서는 물리적으로 한계가 지워진 데이터 전달시간을 줄여 낮은 카스 레이턴시를 달성할 수도 있겠으나, 이 경우 내부 데이터 전달시간을 단축하기 위해서는 일부 여유시간을 희생하는 것이 요구되며, 대표적으로 데이터 버스라인(DB, /DB)에 데이터가 전달되고 데이터 스트로브신호(stb)가 인에이블되는데 소요되는 시간을 단축시키는 방법이 사용된다. 이렇게 하면 내부 데이터전달시간이 감소하여 카스 레이턴시를 줄일 수 있게 되거나 동일 카스 레이턴시 상황에서 동작주파수를 높이는 것이 가능해지게 된다.

그런데, 상기한 바와 같이 데이터 버스라인(DB, /DB)으로 데이터가 전달된 후 데이터 스트로브신호(stb)가 인에이블되는데 소요되는 시간을 단축시키게 되면, 상기 데이터 버스라인(DB, /DB)에 실린 데이터신호의 전위가 너무 미세한 상태에서 데이터 증폭을 수행하기 때문에 잘못된 데이터를 증폭할 가능성이 커져 노이즈에 대한 면역성이 크게 저하되는 문제점이 발생한다.

또한, 상기 노이즈에 의한 영향은 동작 주파수가 커질수록 더욱 심각하게 작용한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 카스 레이턴시에 의한 동작모드 특성에 따라 데이터 스트로브신호의 지연시간을 차별화하여 데이터 센싱시간을 다르게 조절함으로써 노이즈 면역성을 위한 여유시간의 확보와 데이터 전달속도와의 타협점을 고려하도록 한 데이터 센스앰프 구동장치 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명에 의한 데이터 센스앰프 구동장치는 리드 명령신호와 모드 레지스터 세팅신호에 의해 발생된 카스 레이턴시 정보값을 입력받아 그 정보값이 증가함에 따라 일정 딜레이를 점진적으로 추가시켜 데이터 스트로브신호의 출력 타이밍을 조절하는 데이터 스트로브신호 발생부와,

상기 카스 레이턴시 정보값에 따라 조절된 딜레이시간을 갖고 전달되는 데이터 스트로브신호에 의해 인에이블 여부가 결정되어 데이터 버스라인에 실린 데이터를 센스·증폭하는 데이터 센싱부를 구비하되,

상기 데이터 스트로브신호 발생부는 상기 리드 명령신호에 의해 발생된 컬럼신호를 각기 다른 지연시간으로 지연시키는 복수개의 딜레이 소자와, 상기 복수개의 딜레이소자의 출력단에 각각 접속되며, 상기 카스 레이턴시 정보값에 따라 스위칭되어 상기 딜레이소자의 출력신호를 선택적으로 전달하는 복수개의 스위칭소자와, 상기 복수개의 스위칭소자를 거쳐 전달된 컬럼신호를 버퍼링하여 발생시킨 데이터 스트로브신호를 상기 데이터 센싱부로 전달하는 버퍼링소자를 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 4 는 본 발명에 따른 데이터 센스앰프 구동장치가 적용된 싱크로너스 디램에서의 데이터 리드경로를 도시한 블록 구성도로, 도 1에 도시된 블록 구성도와 기본 구성은 동일하며, 단지 데이터 스트로브신호 발생기(35)를 구성함에 있어서 그 제어신호로 모드 레지스터 세팅신호(Mode Register Setting: MRS)에 의해 발생된 카스 레이턴시 정보값(CL3#_CL2)을 인가받는 차이가 있다.

도 5 는 도 4 에 도시된 데이터 센스앰프 구동장치(200)의 회로 구성도를 도시한 것으로, 리드 명령신호와 모드 레지스터 세팅신호(MRS)에 의해 발생된 카스 레이턴시 정보값(CL3#_CL2)을 입력받아 그 정보값이 증가함에 따라 일정 딜레이를

점진적으로 추가시켜 데이터 스트로브신호(stb)의 출력 타이밍을 조절하는 데이터 스트로브신호 발생부(35)와, 상기 카스 레이턴시 정보값(CL3#_CL2)에 따라 조절된 딜레이시간을 갖고 전달되는 데이터 스트로브신호(stb)에 의해 인에이블 여부가 결정되어 데이터 버스트라인에 실린 데이터를 센스 증폭하는 전류머러형 차동 증폭기로 이루어진 데이터 센싱부(20)를 구비하여 구성된다.

상기 데이터 스트로브신호 발생부(35)는 상기 리드 명령신호에 의해 발생된 컬럼신호를 입력받아 일정시간 딜레이시켜 전달하는 제1 딜레이소자(1)와, 상기 제1 딜레이소자(1)의 출력단에 접속되어 상기 컬럼신호를 일정시간 추가로 딜레이시켜 전달하는 제2 딜레이소자(3)와, 상기 제1 및 제2 딜레이소자(1, 3)의 출력단에 각각 접속되며 상기 카스 레이턴시 정보값(CL3#_CL2)에 따라 상보적으로 스위칭되어 상기 제1 및 제2 딜레이소자(1, 3)의 출력신호를 선택적으로 전달하는 제1 및 제2 스위칭소자(T1, T2)와, 상기 제1 및 제2 스위칭소자(T1, T2)를 거쳐 전달된 컬럼신호를 버퍼링하여 발생시킨 데이터 스트로브신호를 상기 데이터 센싱부(20)로 전달하는 버퍼링소자(5)를 구비하여 구성된다.

동 도면에 도시된 실시예에서는 카스 레이턴시가 각각 2와 3인 경우에 대해 서로 차별화된 딜레이를 주어 데이터 스트로브신호(stb)를 발생시키는 것을 예로 들고 있으나, 이는 최종 딜레이소자의 출력단에 접속된 추가 딜레이소자 및 스위칭소자를 구비하여 N개의 카스 레이턴시에 대해 서로 다른 딜레이를 실현하도록 구현하는 것도 가능하겠다.

또한, 동 도면에서는 상기 제1 및 제2 스위칭소자(T1, T2)를 전달게이트로 구현하였으나, 상기 카스 레이턴시 정보값(CL3#_CL2)에 의해 상반된 스위칭동작을 수행하는 여타의 스위칭소자로도 구현 가능하다.

이하, 상기 구성을 갖는 본 발명의 동작을 도면을 참조하며 살펴보기로 한다.

우선, 본 발명의 핵심 동작원리는 모드 레지스터 및 모드 디코더로부터 발생된 카스 레이턴시 정보를 갖는 모드신호(CL3#_CL2)를 입력으로 하여 데이터 스트로브신호(stb)의 발생시간을 조절하는데 있다.

따라서, 카스 레이턴시가 2인 경우에는 데이터 센싱시 오동작을 하지 않는 범위내의 최소한의 지연시간만을 갖고 데이터 스트로브신호(stb)를 발생시켜 후단의 데이터 센싱부(20)로 인가해 주도록 동작하는 한편, 카스 레이턴시가 3인 경우에는 상기 최소 지연시간에 일정시간의 추가 딜레이를 더해 좀더 늦게 데이터 스트로브신호를 발생시키므로써 데이터 센싱시의 여유시간을 보다 많이 확보하여 노이즈 마진을 향상시키게 된다.

이러한 동작원리를 도 5 를 참조하며 자세히 살펴보면, 모드 레지스터 및 모드 디코더로부터 발생된 카스 레이턴시 정보를 갖는 모드신호(CL3#_CL2)에 의해 우선 스위칭소자(T1, T2)가 선택적으로 스위칭되게 된다.

이때, 상기 모드신호(CL3#_CL2)는 카스 레이턴시가 2인 경우에는 '로직하이' 상태가 되는 한편, 상기 카스 레이턴시가 3인 경우에는 '로직로우'상태가 되도록 미리 모드 레지스터 및 모드 디코더에 의해 설정된다.

따라서, 카스 레이턴시가 2인 경우에는 상기 일측 스위칭소자(T1)가 스위칭되어 리드 명령신호에 의해 발생된 컬럼신호는 제1 딜레이소자(1)만을 거쳐 안정성 확보를 위한 최소한의 지연시간만을 갖고 후단의 버퍼링소자(5)로 전달되며, 상기 데이터 스트로브신호(stb) 또한 상기 최소한의 딜레이시간 이후 바로 발생된다. 이로 인해, 후단의 데이터 센싱부(20)는 카스 레이턴시가 2인 경우 최소 딜레이시간 이후 곧바로 인에이블되어 데이터 버스트라인(DB, /DB)에 실린 데이터를 센싱 및 증폭하게 된다.

한편, 카스 레이턴시가 3인 경우에는 상기 카스 레이턴시 정보를 갖는 모드신호(CL3#_CL2)에 의해 타측 스위칭소자(T2)가 스위칭되기 때문에, 리드 명령신호에 의해 발생된 컬럼신호가 제1 딜레이소자(1) 및 제2 딜레이소자(3)를 거쳐 안정성 확보를 위한 최소 지연시간에 소정의 지연시간을 추가시킨 이후 상기 스위칭소자(T2)를 거쳐 후단의 버퍼링소자(5)로 전달되어 데이터 스트로브신호(stb)를 발생시키게 된다. 이로 인해, 카스 레이턴시가 3인 경우에는 카스 레이턴시가 2인 경우에 비해 보다 증가된 지연시간을 갖고 데이터 스트로브신호를 발생시키는 것이 가능해지게 되며, 데이터 스트로브 여유시간을 어느 정도 크게 확보할 수 있게 되므로써, 고주파수 동작에서의 노이즈 마진을 향상시킬 수 있게 되는 것이다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 데이터 센스앰프 구동장치에 의하면, 동일한 동작 주파수에서 보다 낮은 카스 레이턴시를 구현할 수 있을 뿐만 아니라, 높은 카스 레이턴시에서도 데이터 스트로브시의 여유시간을 보다 크게 확보할 수 있게 되므로써, 노이즈 마진을 향상시켜 안정된 데이터 센싱동작을 수행할 수 있게 되는 매우 뛰어난 효과가 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

리드 명령신호와 모드 레지스터 세팅신호에 의해 발생된 카스 레이턴시 정보값을 입력받아 그 정보값이 증가함에 따라 일정 딜레이를 점진적으로 추가시켜 데이터 스트로브신호의 출력 타이밍을 조절하는 데이터 스트로브신호 발생부와,

상기 카스 레이턴시 정보값에 따라 조절된 딜레이시간을 갖고 전달되는 데이터 스트로브신호에 의해 인에이블 여부가 결정되어 데이터 버스에 실린 데이터를 센스·증폭하는 데이터 센싱부를 구비하되,

상기 데이터 스트로브신호 발생부는 상기 리드 명령신호에 의해 발생된 컬럼신호를 각기 다른 지연시간으로 지연시키는 복수개의 딜레이 소자와,

상기 복수개의 딜레이소자의 출력단에 각각 접속되며, 상기 카스 레이턴시 정보값에 따라 스위칭되어 상기 딜레이소자의 출력신호를 선택적으로 전달하는 복수개의 스위칭소자와,

상기 복수개의 스위칭소자를 거쳐 전달된 컬럼신호를 버퍼링하여 발생시킨 데이터 스트로브신호를 상기 데이터 센싱부로 전달하는 버퍼링소자를 구비하는 것을 특징으로 하는 데이터 센스앰프 구동장치.

청구항 2.

삭제

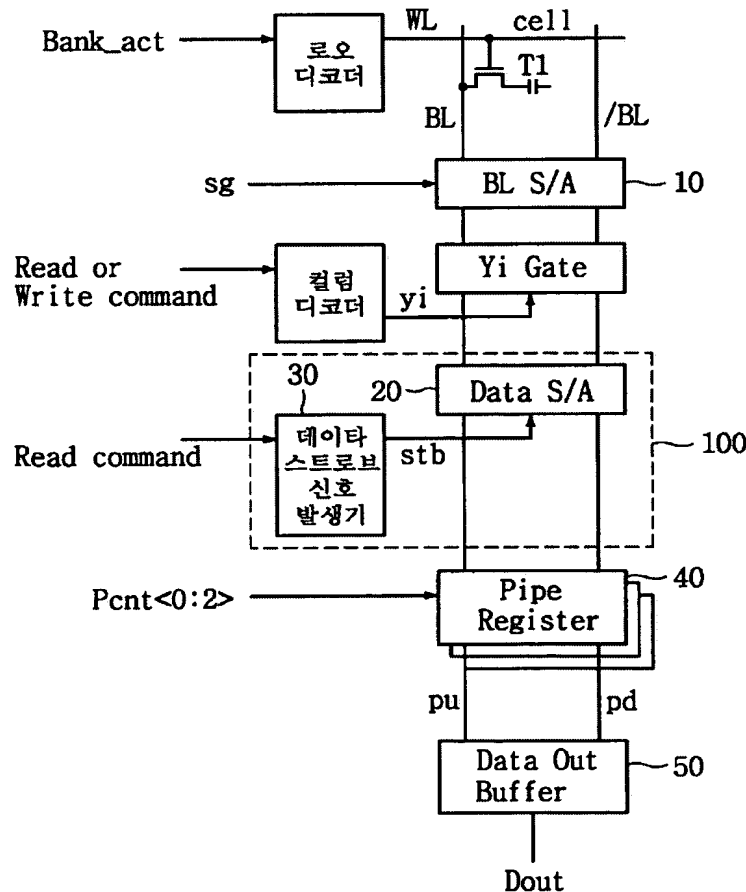
청구항 3.

제 2 항에 있어서,

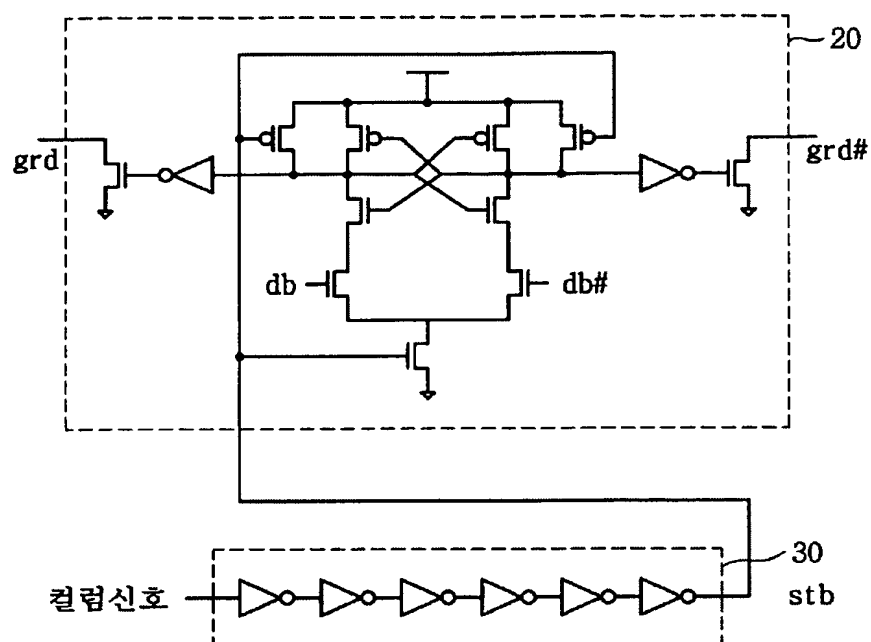
상기 제1 및 제2 스위칭소자는 각각 전달 트랜지스터로 구성하는 것을 특징으로 하는 데이터 센스앰프 구동장치.

도면

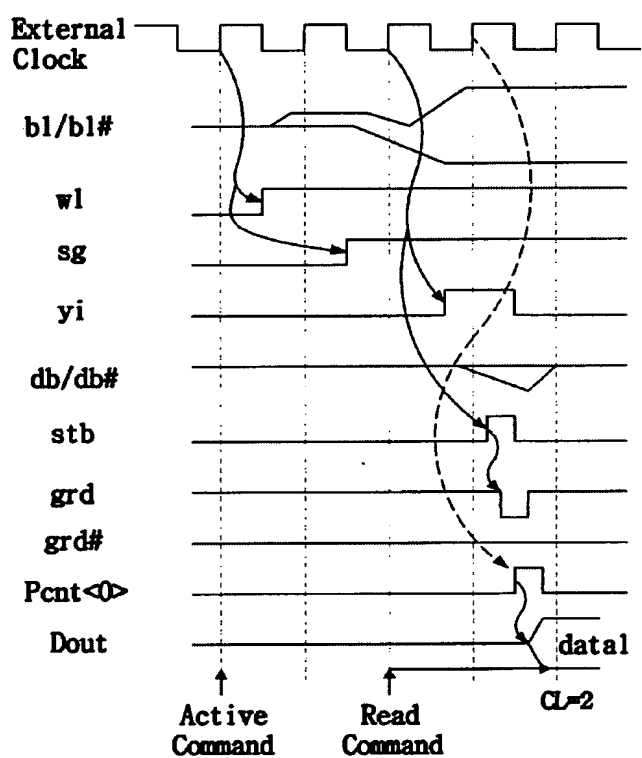
도면 1



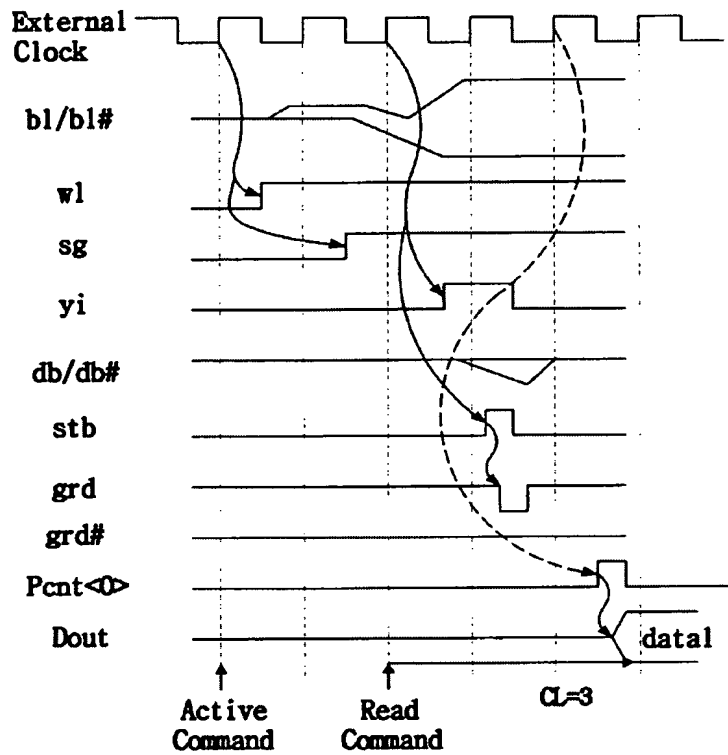
도면 2



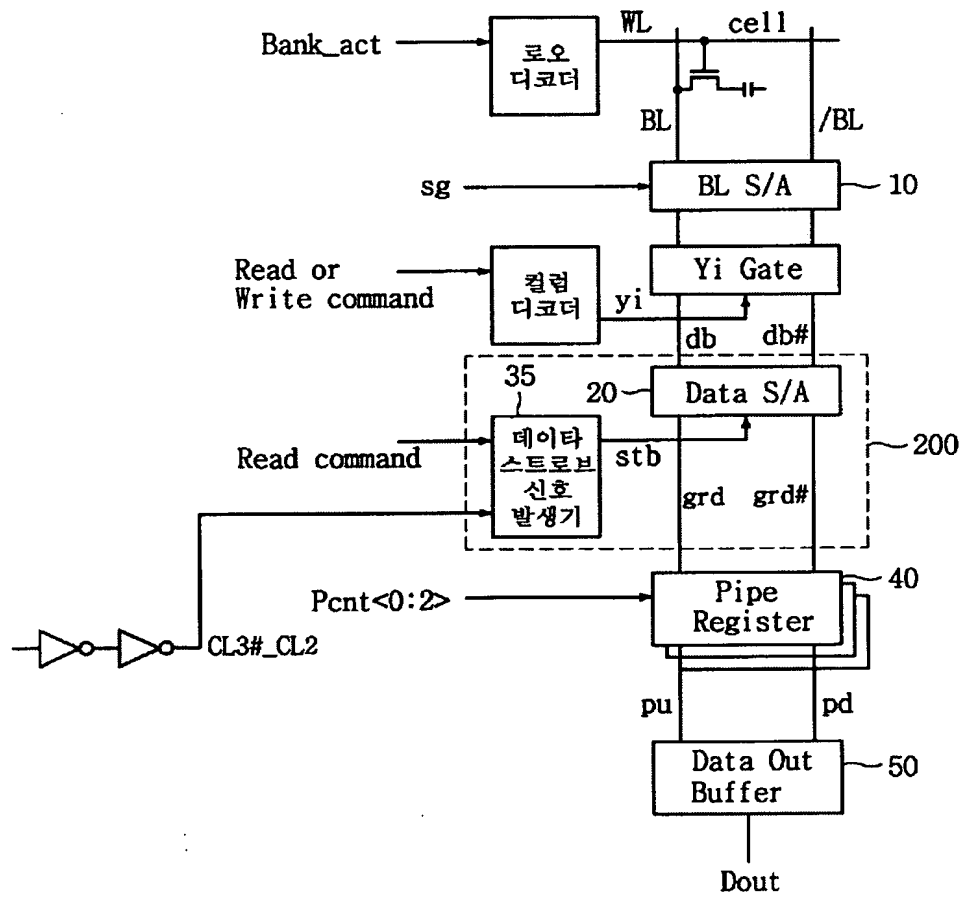
도면 3a



도면 3b



도면 4



도면 5

